

# Aplicación de Mediciones de Ruido de Baja Frecuencia para el Análisis de Efectos de Estrés Térmico y Eléctrico en Dispositivos de Potencia

## Low-Frequency Noise Measurements Application for Analysis of Thermal and Electric Stress Effects on Power Devices

<sup>α</sup>Sofía Berrones, <sup>β</sup>Ronald Barcia, <sup>Δ</sup>Mildred Cajas, <sup>£</sup>Andrés Morocho

<sup>α, £</sup>Escuela Superior Politécnica de Chimborazo, Riobamba, Ecuador

<sup>α,β</sup>B&B Projects Enterprise, Riobamba, Ecuador

<sup>Δ</sup>Universidad de las Fuerzas Armadas. Latacunga, Ecuador

<sup>α</sup>be\_sofiae@espech.edu.ec, <sup>β</sup>bb\_projects@hotmail.com, <sup>Δ</sup>mlcajas@espe.edu.ec,  
<sup>£</sup>andres.morocho@espech.edu.ec

**Resumen-** Este documento presenta el estudio del efecto del estrés térmico y eléctrico en dispositivos semiconductores de potencia a través de mediciones de ruido de baja frecuencia. Se aplicó una prueba de Polarización Inversa a Alta Temperatura (HTRB por sus siglas en inglés) a los dispositivos de potencia, determinando sus características eléctricas. Las herramientas utilizadas para este estudio fueron una fuente de tensión variable hasta 1200V diseñada para la aplicación de estrés eléctrico, un módulo de temperatura compuesto por un mini calentador y un módulo de control diseñado para la aplicación de estrés térmico junto con el analizador de parámetros Keithley 4200-SCSn para la caracterización corriente-voltaje y un sistema de medición de ruido de baja frecuencia para caracterización de canales conductivos en dispositivos electrónicos. Los resultados indican un mayor nivel de ruido flicker después de la aplicación del estrés sobre los MOSFETs estudiados, que se relacionan con cambios en el voltaje de umbral producto del estrés aplicado, correlacionando directamente dichos parámetros.

**Palabras Clave-** Ruido Electrónico, Caracterización Eléctrica, Fiabilidad en Dispositivos de Potencia, Medición de Ruido de Baja Frecuencia.

**Abstract-** This document presents the study of the effect of thermal and electrical stress on power semiconductor devices through low-frequency noise measurements. A High Temperature Reverse Bias test (HTRB) was applied to the power devices, determining their electrical characteristics before and after the HTRB. The tools used for this study were a variable voltage source up to 1200V designed for the application of electrical stress, a temperature module consisting of a mini-heater and a control module designed for the application of thermal stress together with the Keithley 4200-SCSn parameter

analyzer for current-voltage characterization and a low frequency noise measurement system for characterization of conductive channels in electronic devices. The results indicate a higher level of flicker noise in the considered MOSFETs after stress application that is related to changes in the threshold voltage because of the applied stress, directly correlating these parameters.

**Keywords-** Electronic Noise, Electrical Characterization, Power Devices Fiability, Low Frequency Noise Measurement

### I. INTRODUCCIÓN

La evaluación de la fiabilidad de los dispositivos electrónicos se considera entre los temas más importantes de la electrónica y sus aplicaciones, debido a que es necesario estimar la vida útil que tendrán los dispositivos antes de ser incorporados en sistemas en desarrollo o producción. A través de este tipo de estudios es posible establecer los mecanismos de falla y degradación que provocan el daño de los dispositivos bajo determinadas condiciones de trabajo. Para la industria y la academia ha resultado importante investigar los problemas asociados a la degradación de los dispositivos semiconductores, principalmente en las últimas décadas, debido a la complejidad y miniaturización de los circuitos actuales, para determinar sus condiciones críticas de operación [1][2].

Dentro de estas áreas, las aplicaciones en donde más se evidencia la degradación en los dispositivos semiconductores son las que requieren el manejo de altas densidades de energía. Debido a esto, los dispositivos semiconductores de potencia son los más vulnerables a presentar fallas [3]. De

hecho, según el instituto de investigación de energía eléctrica aproximadamente el 70% de la energía es tratada por electrónica de potencia mediante dispositivos semiconductores [4]. Sin embargo, las características eléctricas de los dispositivos de potencia (MOSFETs, IGBTs, Diodos, etc.) tienden a degradarse con el tiempo y condiciones de uso dentro de las aplicaciones electrónicas [5].

Otro campo por considerar es el desarrollo de las nuevas generaciones de semiconductores basados en tecnologías como el Carburo de Silicio (SiC) [6] y Nitruro de Galio (GaN) [7] que prometen mejorar en un factor de  $\sim 10$  las características térmicas y eléctricas de los actuales componentes semiconductores de potencia. Al igual que el Silicio (Si) es sus inicios, estas tecnologías no están maduras y como tal se requiere mucho refinamiento de los procesos de fabricación, los mismos que son retroalimentados a partir de las pruebas de fiabilidad [8], [9].

Las técnicas tradicionales de comprobación de fiabilidad de dispositivos electrónicos llevadas a cabo se basan en aplicar pruebas de estrés térmico y eléctrico para acelerar de manera controlada el deterioro y aparición de fallas, acortando de esta manera su vida útil [10]. La razón de aplicar dichas pruebas de estrés es porque resulta impráctico pretender observar el comportamiento de un dispositivo durante años de funcionamiento. La degradación de un dispositivo semiconductor puede ser observada mediante mediciones de sus parámetros eléctricos característicos, tales como: Voltajes de Ruptura en estado de bloqueo ( $BV_{DSS}$ ), Corrientes de Fuga ( $I_{DSS}$ ), Voltajes de Umbral de Activación ( $V_{th}$ ), entre otros [11]–[15]. Además, en la última década se ha intensificado la medición del Ruido de Baja Frecuencia (LFN, por sus siglas en inglés) en dispositivos bajo pruebas (DUT) de estrés como una forma alternativa de estudiar la degradación de dispositivos semiconductores durante las pruebas de estrés [2], [16]–[19].

El ruido de baja frecuencia es un tipo de fluctuación que se presenta en dispositivos electrónicos [20]. El ruido flicker o ruido  $1/f$  se encuentra dentro del espectro de ruido de baja frecuencia, generalmente se cuantifica en un rango de 0.1 mHz y 10 Hz [21].

La principal causa de ruido  $1/f$  en dispositivos semiconductores se debe a las propiedades de la superficie del material específicamente la generación y recombinación de portadores en los estados de energía superficial y la densidad de los estados [22]. El ruido  $1/f$  está relacionado también con defectos en los canales conductivos de dichos dispositivos, que se hacen más evidentes al estar sometidos a estrés térmico y eléctrico. Se han desarrollado modelos para describir el aumento del ruido de baja frecuencia en función del cambio de otros parámetros (exceptuando el voltaje de umbral) del transistor durante el estrés [23], siendo el más sensible el espectro de ruido demostrando que existe una fuerte relación entre el cambio relativo de estos parámetros y el aumento relativo de la densidad de ruido. En [24] se investigó el efecto del estrés a alta corriente y temperatura sobre el ruido, concluyendo que las mediciones del ruido  $1/f$  a bajas corrientes de polarización son sensibles a la degradación de la región activa en diodos láser, mientras que las mediciones del ruido  $1/f$  a altas corrientes de polarización pueden predecir fallas relacionadas con la calidad de las capas de cristal de los diodos láser. Además, en [25] se realizaron mediciones de ruido de baja frecuencia en transistores de efecto de campo de estructura heterogénea (HFET) para

investigar los efectos del estrés eléctrico. Los resultados indican que la generación de trampas aumenta debido al estrés eléctrico en dispositivos con barrera InAlN, mientras que la potencia de ruido disminuye en función del estrés en los HFET AlGaN / GaN debido a un aumento en la energía de activación de las trampas en exceso.

La mayoría de las investigaciones reportadas en literatura han sido desarrolladas y estudiadas a nivel internacional, enfocándose en dispositivos discretos en desarrollo a nivel macro y microelectrónica [3], [26]–[32]. Por otro lado, las grandes cadenas de ventas y distribución de dispositivos semiconductores de potencia, así como las mismas oficinas de ventas de los fabricantes, ofertan dispositivos validados a través de pruebas de fiabilidad. Sin embargo, en el mercado nacional, y específicamente en la ciudad de Riobamba, las tiendas de repuestos y piezas electrónicas no garantizan ninguna fiabilidad sobre los dispositivos semiconductores de potencia más allá de la marca que lo respalda y experiencia del vendedor.

Debido a esto, el presente artículo presenta los resultados de un estudio de fiabilidad sobre dispositivos semiconductores de potencia disponibles comercialmente en la ciudad de Riobamba. Para este estudio, se realizó una selección de aquellos dispositivos que son frecuentemente empleados en proyectos estudiantiles, así como en actividades de mantenimiento electrónico de aplicaciones de electrónica de consumo e industriales. El resto del documento se organiza como sigue: en la sección II se presenta la metodología de selección de dispositivos, detalles de la caracterización eléctrica y de ruido de baja frecuencia, así como de la prueba de estrés eléctrico y térmico. En la sección III se resumen y discuten los resultados alcanzados que demuestran la degradación generada por las pruebas de estrés sobre los DUTs. Finalmente, el documento termina con las conclusiones del estudio realizado.

## II. METODOLOGÍA

Como se indicó en la sección anterior, el presente estudio de fiabilidad se centra en dispositivos semiconductores de potencia disponibles comercialmente en la ciudad de Riobamba. Por tanto, se propone la metodología planteada en la Figura 1, donde se indican las etapas que permitirán cumplir con el objetivo de este estudio.

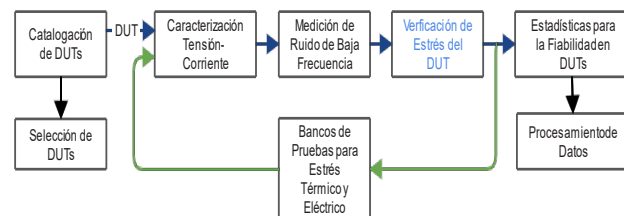


Figura 1. Diseño experimental Planteado.

La primera etapa se refiere a la selección de los DUTs mediante una catalogación de todos los dispositivos semiconductores de potencia disponibles en los locales comerciales de repuestos electrónicos de la ciudad de Riobamba. Posteriormente, la metodología decanta en un lazo interactivo de caracterización eléctrica de corriente – voltaje (I-V), medición de ruido de baja frecuencia (LFN) y

estrés térmico-eléctrico. Al final de dicho lazo interactivo, se procede a analizar los datos obtenidos para determinar posibles mecanismos de fallos y energías de activación. Mayores detalles de estas etapas se exponen en las siguientes secciones.

#### A. Dispositivos Bajo Prueba

Luego de visitar los locales comerciales de componentes electrónicos en la ciudad de Riobamba, se compiló una lista de dispositivos semiconductores de potencia que son generalmente adquiridos para proyectos estudiantiles y en actividades de reparación y mantenimiento electrónico. La selección de los dispositivos se realizó basado en 5 criterios establecidos por el autor. Los criterios toman en cuenta características de construcción y de funcionamiento de los dispositivos. Estos son:

- Estructura de Fabricación
- Tipo de Canal Conductivo
- Empaquetado
- Voltaje de Ruptura de Drenador a Fuente  $BV_{DSS}$
- Máxima Corriente de Fuga en Reversa  $I_{DSS}$

Los dispositivos seleccionados para el estudio y sus parámetros eléctricos se detallan en la Tabla I. El empaquetado de todos los dispositivos de la tabla es TO 220, su voltaje de compuerta se encuentra en el rango de 2 - 4V, su temperatura máxima de funcionamiento es 150° C y su material semiconductor de fabricación es el silicio.

TABLA I  
DISPOSITIVOS BAJO PRUEBA (DUTS) SELECCIONADOS

MOSFET	CORRIENTE CONDUCCIÓN CONTINUA [A]	VOLTAJE DRENADOR A FUENTE [V]	RDS (ON) [Ω]
IRF820	2.50	500	3.00
IRF740	10	400	0.55
IRF630	9	200	0.40
IRFZ44	50	60	0.028
IRFZ20	15	50	0.10

#### B. Caracterización Tensión-Corriente

La caracterización I-V permite cuantificar los parámetros eléctricos significativos antes y después del estrés aplicado al DUT. El objetivo de esta tarea es determinar si existe una variación de los parámetros medidos después de aplicar una prueba de estrés en los dispositivos [33], [34], [35]. Sin embargo, debido a las limitaciones de voltaje en la instrumentación y la variedad disponible de DUTs, la caracterización I-V estuvo limitada a la medición del voltaje de umbral  $V_{th}$ .

Para este propósito se usó el analizador de parámetros Keithley 4200A-SCS [36] del Laboratorio de Microelectrónica de la Universidad San Francisco de Quito. Las condiciones de polarización bajo las cuales se realizó la caracterización del  $V_{th}$  fueron:  $V_{DS}$  igual a  $V_{GS}$ , rampa de  $V_{GS}$  desde 0V hasta 4V con pasos de 10 mV, Compliance de corriente de 100 mA y una temperatura ambiental de 22 °C. Este procedimiento permite obtener el voltaje de umbral  $V_{th}$  de cada DUT mediante la curva de características de transferencia obtenida por el analizador [37]. La Tabla II muestra el  $V_{th}$  medido de cada DUT.

TABLA III  
VOLTAJE DE UMBRAL  $V_{th}$  ANTES DE APLICACIÓN DEL ESTRÉS  
TÉRMICO Y ELÉCTRICO

MOSFET	Voltaje de Umbral $V_{th}$ [V]
IRF820	3.6513
IRF740	3.3303
IRF630	3.6210
IRFZ44	3.6866
IRFZ20	3.2875

#### C. Medición de Ruido de Baja Frecuencia

En el ámbito de este estudio, la medición de ruido de baja frecuencia (LFN) permite investigar los efectos de los ciclos de estrés aplicados en los DUTs que no presentan variaciones significativas de sus parámetros I-V [24], [38]. Para la caracterización de ruido de baja frecuencia se utilizó el sistema de medición de ruido de baja frecuencia para caracterización de canales conductivos, desarrollado en [39], que consiste en un subsistema de polarización del DUT y de acondicionamiento de la señal de ruido, en este caso la corriente de drenador a fuente del DUT. Las condiciones de polarización utilizadas fueron:  $V_{DS} = 2$  V,  $V_{GS} = 1$  V, frecuencia de muestreo de 1 KHz, tiempo de medición 1 h y temperatura ambiente de 25° C. Los resultados de las mediciones fueron tomados a  $1.18 \times 10^{-4}$  Hz y se muestran en la Tabla III. Las condiciones de polarización fueron establecidas de tal forma que el dispositivo trabaje en la región de sub-umbral, es decir que se mantenga en un estado de transición entre las regiones de corte y lineal.

TABLA IIIII  
DENSIDAD ESPECTRAL DE POTENCIA A  $1.18 \times 10^{-4}$  Hz ANTES DE  
APLICACIÓN DEL ESTRÉS TÉRMICO Y ELÉCTRICO.

MOSFET	Amplitud de Densidad Espectral de Potencia [ $A^2/Hz$ ]
IRF820	$5.8589 \cdot 10^{-12}$
IRF740	$111.00 \cdot 10^{-12}$
IRF630	$6.0936 \cdot 10^{-12}$
IRFZ44	$6.9313 \cdot 10^{-12}$
IRFZ20	$5.2739 \cdot 10^{-12}$

#### D. Aplicación del Estrés Térmico y Eléctrico

Existen varias pruebas de estrés para acelerar la degradación de un dispositivo electrónico [40]. La prueba seleccionada para este estudio fue la polarización inversa a alta temperatura (HTRB, por sus siglas en inglés).

Esta prueba combina el estrés eléctrico y térmico, se puede utilizar para verificar la integridad de las juntas, los defectos de los cristales y el nivel de contaminación iónica de los materiales semiconductores, lo que puede revelar debilidades o degradación en las estructuras. La prueba HTRB tiene como objetivo controlar la corriente de fuga de los dispositivos en condiciones de polarización inversa de alta temperatura durante un período de tiempo. Generalmente, se aplica el 80% del voltaje de ruptura inversa nominal máximo ( $BV_{dss}$ ) indicado por la hoja de datos de los DUTs, con la puerta en cortocircuito a la fuente [35].

En conclusión, verifica la estabilidad a largo plazo de las corrientes de fuga del DUT. Durante la prueba HTRB, el DUT se estresa con un voltaje inverso igual o ligeramente menor al voltaje de bloqueo del dispositivo a una temperatura

ambiente cercana al límite operativo. No se puede esperar degradación en el sustrato de silicio del DUT a estas temperaturas, pero la prueba puede revelar debilidades o efectos de degradación en las estructuras de agotamiento de campo en los bordes del dispositivo y en la pasivación [40].

Antes de aplicar la prueba HTRB se realizó una prueba de verificación eléctrica I-V a temperatura ambiente para determinar el voltaje máximo real de ruptura inversa  $BV_{DSS}$  a la cual los DUTs describen una corriente de fuga  $I_{DSS}$  comparable a 1mA. Esta verificación fue importante para seleccionar voltajes de estrés durante el HTRB por encima del valor nominal de los DUTs con el fin de acelerar rápidamente su deterioro eléctrico.

La instrumentación usada para este propósito fueron un módulo de temperatura compuesto por un mini calentador y un módulo de control diseñado para la aplicación de estrés térmico y una fuente de tensión variable hasta 1200V diseñada para la aplicación de estrés eléctrico, como se describe en [41] y en [42] respectivamente. Las condiciones bajo las cuales fue aplicada la prueba HTRB en cada DUT se describen en la Tabla IV.

Tabla IV  
CONDICIONES DE APLICACIÓN DE PRUEBA HTRB PARA ESTRÉS TÉRMICO Y ELÉCTRICO

DUT	$BV_{DSS}^*$ [V]	$V_{DS}$ de Estrés [V]	T de Estrés [°C]	t de Estrés [h]
IRF820	500	600	150	30
IRF740	400	480	150	30
IRF630	200	240	150	30
IRFZ44	60	72	150	30
IRFZ20	50	60	150	30

### III. RESULTADOS Y DISCUSIÓN

Para evidenciar los efectos de aplicación del estrés térmico y eléctrico en la degradación del dispositivo se realizó nuevamente una caracterización I-V, para determinar la variación del  $V_{th}$  en los DUTs, según lo establecido en la sección II.B. Para determinar si existió alguna falla del DUT durante el estrés, se estableció como criterio de falla la variación en el voltaje de umbral  $\Delta V_{th}$  de  $\pm 5mV$  debido a la alta sensibilidad que presentan los mecanismos de conducción de corriente ante pequeñas variaciones de voltaje de umbral. Los resultados se muestran en la Tabla V.

Tabla V  
COMPARACIÓN DE VOLTAJES DE ÚMBRAL ANTES Y DESPUÉS DE LA APLICACIÓN DE ESTRÉS TÉRMICO Y ELÉCTRICO

DUT	$V_{th}$ [V]		$\Delta V_{th}$ [V]	Falla en el DUT
	Antes	Después		
IRF820	3.6513	3.6578	-0.0065	Si
IRF740	3.3303	3.6985	0.3682	Si
IRF630	3.6210	3.6262	-0.0052	Si
IRFZ44	3.6866	3.6851	0.0015	No
IRFZ20	3.2875	3.2797	0.0078	Si

De acuerdo con la Tabla V, y el criterio de falla establecido anteriormente, la mayoría de los dispositivos presentan fallas, exceptuando el DUT IRF740. Además, el DUT IRF740 presenta una variación de voltaje de umbral

muy significativa con un valor de 0,3682 V lo que puede ser indicativo de una degradación considerable en el dispositivo.

La Tabla V indica que los cambios en los parámetros eléctricos no son significativos en la mayoría de los dispositivos. Sin embargo, al comparar las mediciones de LFN antes y después de la aplicación del estrés, como se muestra en la Tabla VI, se evidencia que después de haber aplicado el estrés térmico y eléctrico, el ruido de corriente 1/f, medido a la frecuencia de  $1.18 \times 10^{-4}$  Hz, incrementó en aproximadamente 7 órdenes de magnitud respecto al valor medido antes de la aplicación del estrés.

Tabla VI  
COMPARACIÓN DE AMPLITUDES DE DENSIDAD ESPECTRAL DE POTENCIA A  $1.18 \times 10^{-4}$  HZ ANTES Y DESPUÉS DE LA APLICACIÓN DEL ESTRÉS TÉRMICO Y ELÉCTRICO.

DUT	Amplitud de Densidad Espectral de Potencia [ $A^2/Hz$ ]		Razón de Incremento ( $\times 10^7$ )
	Antes	Después	
IRF820	$5.8589 \cdot 10^{-12}$	$1.5798 \cdot 10^{-4}$	2.6964
IRF740	$111.00 \cdot 10^{-12}$	$1.5576 \cdot 10^{-4}$	0.14032
IRF630	$6.0936 \cdot 10^{-12}$	$1.7374 \cdot 10^{-4}$	2.8511
IRFZ44	$6.9313 \cdot 10^{-12}$	$1.5685 \cdot 10^{-4}$	2.2629
IRFZ20	$5.2739 \cdot 10^{-12}$	$1.5853 \cdot 10^{-4}$	3.0059

Una correlación gráfica de los valores de voltaje de umbral  $V_{th}$  y de PSD de ruido 1/f para cada DUT, de los valores obtenidos antes y después de la prueba de estrés, se presenta en la Figura 2. Concretamente, la prueba HTRB influyó sobre el nivel de ruido flicker aumentando drásticamente para todos los DUTs. Sin embargo, el valor de  $V_{th}$  varió ligeramente para los DUTs IRF820, IRF630, IRFZ44, e IRFZ20.

Es importante mencionar que un caso particular es el que describe el DUT IRF740. En este DUT se puede apreciar una fuerte correlación entre el incremento de ruido 1/f y el incremento del  $V_{th}$  como producto de la degradación acelerada.

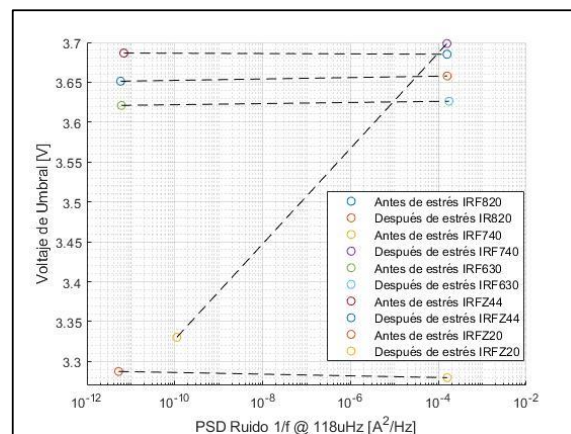


Figura 2. Correlación  $V_{th}$  y PSD de los DUTs.

Convencionalmente una variación del  $V_{th}$  durante una prueba de estrés HTRB dictamina una degradación o fallo de un dispositivo semiconductor de potencia. Sin embargo, con relación a los resultados presentados, aunque la evidencia de degradación a partir del voltaje de umbral  $V_{th}$  no es tan significativa para la mayoría de los DUTs, dicha degradación

sí resulta ser considerable desde el punto de vista del nivel de ruido de baja frecuencia, tal y como se observa en la Figura 2. Es importante mencionar que en este estudio no se aplicó un voltaje de estabilización para liberar cargas atrapadas después de la aplicación del estrés térmico y eléctrico para evitar perder la variación del voltaje de umbral de los DUTs.

Por otra parte, la energía de activación representa la energía mínima que debe ser transferida para desencadenar un proceso de mecanismo de falla en el dispositivo. Las energías de activación obtenidas en este estudio podrían estar relacionadas con un proceso de contaminación iónica debido a la liberación de iones implantados en distintas fases del proceso de fabricación (empaquetado, proceso de interconexión, ensamblaje, pruebas y operación), que adquieren alta movilidad o difusión causados por la temperatura de estrés aplicada y por el nivel de estrés eléctrico (altas intensidades de campo eléctrico debido a la sobretensión), lo que produce cambios en el voltaje de umbral de acuerdo con [43].

#### IV. CONCLUSIONES

En este estudio se aplicó una prueba de vida acelerada HTRB a dispositivos catalogados y seleccionados disponibles comercialmente en la ciudad de Riobamba. Los parámetros de los bancos de pruebas de estrés fueron 150° C para aplicación de estrés térmico y 120% de voltaje nominal de ruptura para aplicación de estrés eléctrico durante un mínimo de 30 horas. Estos parámetros se establecieron de manera experimental variando la prueba aplicada inicialmente al DUT IRF740.

Relacionando los cambios de voltaje de umbral con el nivel de ruido flicker, se observa que existe una correlación directa entre estos parámetros. Convencionalmente una variación del  $V_{th}$  durante una prueba de estrés dictamina una degradación o fallo de un dispositivo semiconductor de potencia. Sin embargo, en relación con los resultados presentados, aunque la evidencia de degradación a partir del voltaje de umbral  $V_{th}$  no es tan significativa para la mayoría de los DUTs, dicha degradación o mecanismo de falla sí resulta ser evidente desde el punto de vista del nivel de ruido de baja frecuencia.

#### AGRADECIMIENTOS

Se agradece de especial manera al Dr. Luis Miguel Procel, miembro del Instituto de Micro y Nanoelectrónica de la Universidad San Francisco de Quito, por su apertura y colaboración para el acceso y uso de los equipos de caracterización eléctrica de dispositivos semiconductores. De igual manera se agradece al Ing. Alexander Toro quien colaboró con la utilización de la fuente de alto voltaje en corriente directa (HVDC) para las pruebas de estrés eléctrico.

#### REFERENCIAS

- [1] C. Ciofi y B. Neri, "Low-frequency noise measurements as a characterization tool for degradation phenomena in solid-state device", *J. Phys. Appl. Phys.*, vol. 33, núm. 21, p. R199, 2000, doi: 10.1088/0022-3727/33/21/201.
- [2] C. Pace *et al.*, "A New Effective Methodology for Semiconductor Power Devices HTRB Testing", *IEEE Trans. Ind. Electron.*, vol. 64, núm. 6, pp. 4857–4865, jun. 2017, doi: 10.1109/TIE.2017.2669882.
- [3] V. Smet *et al.*, "Ageing and Failure Modes of IGBT Modules in High-Temperature Power Cycling", *IEEE Trans. Ind. Electron.*, vol. 58, núm. 10, pp. 4931–4941, oct. 2011, doi: 10.1109/TIE.2011.2114313.
- [4] B. K. Bose, "Global Energy Scenario and Impact of Power Electronics in 21st Century", *IEEE Trans. Ind. Electron.*, vol. 60, núm. 7, pp. 2638–2651, jul. 2013, doi: 10.1109/TIE.2012.2203771.
- [5] M. J. Deen, "Low-frequency noise in semiconductor devices - state-of-the-art and future perspectives plenary paper", en *2017 International Conference on Noise and Fluctuations (ICNF)*, jun. 2017, pp. 1–4, doi: 10.1109/ICNF.2017.7985925.
- [6] T. Kimoto y J. A. Cooper, *Fundamentals of Silicon Carbide Technology: Growth, Characterization, Devices and Applications*, 1a ed. Wiley-IEEE Press, 2014.
- [7] H. Yu y T. Duan, *Gallium nitride power devices*, 1a ed. Pan Stanford Publishing, 2017.
- [8] Y. Yang, B. Duan, S. Yuan, y H. Jia, "Novel Developments and Challenges for the SiC Power Devices", *Adv. Silicon Carbide Devices Process.*, sep. 2015, doi: 10.5772/61123.
- [9] M. Dalla Vecchia, S. Ravyts, G. Van den Broeck, y J. Driesen, "Gallium-Nitride Semiconductor Technology and Its Practical Design Challenges in Power Electronics Applications: An Overview", *OpenAIRE - Explore*, 2019.  
<https://explore.openaire.eu/search/publication?articleId=doajarticles::273a5ce3d6a6a30d14d13b614c553e7d> (consultado may 17, 2020).
- [10] C. Ciofi y B. Neri, "Low frequency noise measurements: Applications, methodologies and instrumentation", *Proc. SPIE - Int. Soc. Opt. Eng.*, vol. 5113, may 2003, doi: 10.1117/12.489652.
- [11] S. Zafar, A. Kumar, E. Gusev, y E. Cartier, "Threshold voltage instabilities in high- $\kappa$  gate dielectric stacks", *IEEE Trans. Device Mater. Reliab.*, vol. 5, núm. 1, pp. 45–64, mar. 2005, doi: 10.1109/TDMR.2005.845880.
- [12] D. B. Habersat, R. Green, y A. J. Lelis, "Feasibility of SiC threshold voltage drift characterization for reliability assessment in production environments", en *2016 European Conference on Silicon Carbide Related Materials (ECSCRM)*, sep. 2016, pp. 1–1, doi: 10.4028/www.scientific.net/MSF.897.509.
- [13] J. Wuerfl *et al.*, "Reliability issues of GaN based high voltage power devices", *Microelectron. Reliab.*, vol. 51, núm. 9, pp. 1710–1716, sep. 2011, doi: 10.1016/j.microrel.2011.07.017.
- [14] B. Hull *et al.*, "Reliability and stability of SiC power mosfets and next-generation SiC MOSFETs", en *2014 IEEE Workshop on Wide Bandgap Power Devices and Applications*, oct. 2014, pp. 139–142, doi: 10.1109/WIPDA.2014.6964641.
- [15] R. J. Kaplar, D. R. Hughart, S. Atcity, J. D. Flicker, S. DasGupta, y M. J. Marinella, "Performance and Reliability Characterization of 1200 V Silicon Carbide Power MOSFETs at High Temperatures", *Addit. Conf. Device Packag. HiTEC HiTEN CICMT*, vol. 2013, núm.



- HITEN, pp. 000275–000280, ene. 2013, doi: 10.4071/HITEN-WP11.
- [16] M. R. Hasan, A. Motayed, M. S. Fahad, y M. V. Rao, “Fabrication and comparative study of DC and low frequency noise characterization of GaN/AlGaIn based MOS-HEMT and HEMT”, *J. Vac. Sci. Technol. B*, vol. 35, núm. 5, p. 052202, ago. 2017, doi: 10.1116/1.4998937.
- [17] J. G. Tartarin, S. Karboyan, F. Olivie, G. Astre, L. Bary, y B. Lambert, “I-DLTS, electrical lag and low frequency noise measurements of trapping effects in AlGaIn/GaN HEMT for reliability studies”, en *2011 6th European Microwave Integrated Circuit Conference*, oct. 2011, pp. 438–441.
- [18] H. Rao y G. Bosman, “Device reliability study of AlGaIn/GaN high electron mobility transistors under high gate and channel electric fields via low frequency noise spectroscopy”, *Microelectron. Reliab.*, vol. 50, núm. 9, pp. 1528–1531, sep. 2010, doi: 10.1016/j.microrel.2010.07.073.
- [19] J. G. Tartarin, G. Astre, S. Karboyan, T. Noutsu, y B. Lambert, “Generation-recombination traps in AlGaIn/GaN HEMT analyzed by time-domain and frequency-domain measurements: Impact of HTRB stress on short term and long term memory effects”, en *2013 IEEE International Wireless Symposium (IWS)*, abr. 2013, pp. 1–4, doi: 10.1109/IEEE-IWS.2013.6616840.
- [20] Á. B. Uscátegui, “El Ruido 1/f”, *Ingeniería*, vol. 5, núm. 1, pp. 28–36, 2000.
- [21] C. D. Motchenbacher y J. A. Connelly, *Low noise electronic system design*. Wiley, 1993.
- [22] M. von Haartman y M. Östling, *Low-Frequency Noise in Advanced MOS Devices*. Springer Netherlands, 2007.
- [23] O. Marinov, “The low frequency noise in HFETs estimates the effect of electrical stress”, *Microelectron. Reliab.*, vol. 40, núm. 11, pp. 1959–1963, nov. 2000, doi: 10.1016/S0026-2714(00)00065-2.
- [24] X. Y. Chen, A. Pedersen, y A. D. van Rheenen, “Effect of electrical and thermal stress on low-frequency noise characteristics of laser diodes”, *Microelectron. Reliab.*, vol. 41, núm. 1, pp. 105–110, ene. 2001, doi: 10.1016/S0026-2714(00)00201-8.
- [25] C. Kayis, C. Y. Zhu, M. Wu, X. Li, Ü. Özgür, y H. Morkoç, “Low-frequency noise measurements of electrical stress in InAlN/GaN and AlGaIn/GaN heterostructure field-effect transistors”, en *Gallium Nitride Materials and Devices VI*, mar. 2011, vol. 7939, p. 79392G, doi: 10.1117/12.875723.
- [26] O. Marinov, M. J. Deen, V. Loukanov, y V. Velikov, “The low frequency noise in reverse biased rectifier diodes”, *IEEE Trans. Electron Devices*, vol. 49, núm. 1, pp. 184–187, ene. 2002, doi: 10.1109/16.974768.
- [27] O. Marinov y M. J. Deen, “Low-Frequency Noise Partition of Asymmetric MOS Transistors Operating in Linear Regime”, *IEEE Electron Device Lett.*, vol. 30, núm. 8, pp. 840–842, ago. 2009, doi: 10.1109/LED.2009.2023382.
- [28] C. Claeys, M. Aoulaiche, M. G. C. Andrade, M. Rodrigues, J. A. Martino, y E. Simoen, “(Invited) Low Frequency Noise Performance of State-of-the-Art and Emerging CMOS Devices”, *ECS Trans.*, vol. 45, núm. 3, pp. 567–580, abr. 2012, doi: 10.1149/1.3700921.
- [29] F. Sandoval Ibarra, N. Melchor Hernández, y S. Ortega Cisneros, “Análisis, modelado y simulación del ruido flicker en transistores MOS”, *Acta Univ.*, vol. 23, núm. 5, 2013, Consultado: nov. 04, 2018. [En línea]. Disponible en: <http://www.redalyc.org/resumen.oa?id=41629559003>.
- [30] A. A. Balandin, “Low-frequency 1/f noise in graphene devices”, *Nat. Nanotechnol.*, vol. 8, núm. 8, pp. 549–555, ago. 2013, doi: 10.1038/nnano.2013.144.
- [31] D. M. Fleetwood, “Noise and Defects in Microelectronic Materials and Devices”, *IEEE Trans. Nucl. Sci.*, vol. 62, núm. 4, pp. 1462–1486, ago. 2015, doi: 10.1109/TNS.2015.2405852.
- [32] V. E. I. E. U. Chye, “Universal multichannel system for low frequency noise measurement”, en *2017 International Siberian Conference on Control and Communications (SIBCON)*, jun. 2017, pp. 1–5, doi: 10.1109/SIBCON.2017.7998532.
- [33] M. A. Belaïd, K. Ketata, K. Mourgues, M. Gares, M. Masmoudi, y J. Marcon, “Reliability study of power RF LDMOS device under thermal stress”, *Microelectron. J.*, vol. 38, núm. 2, pp. 164–170, feb. 2007, doi: 10.1016/j.mejo.2006.08.004.
- [34] K. Cho *et al.*, “Electric Stress-Induced Threshold Voltage Instability of Multilayer MoS<sub>2</sub> Field Effect Transistors”, *ACS Nano*, vol. 7, núm. 9, pp. 7751–7758, sep. 2013, doi: 10.1021/nn402348r.
- [35] L. Yang y A. Castellazzi, “High temperature gate-bias and reverse-bias tests on SiC MOSFETs”, *Microelectron. Reliab.*, vol. 53, núm. 9, pp. 1771–1773, sep. 2013, doi: 10.1016/j.microrel.2013.07.065.
- [36] “Keithley 4200A-SCS Parameter Analyzer | Tektronix”. <https://www.tek.com/keithley-4200a-scs-parameter-analyzer> (consultado feb. 26, 2020).
- [37] A. Ortiz Conde, “A review of recent MOSFET threshold voltage extraction methods”, *Microelectron. Reliab.*, vol. 42, núm. 4–5, pp. 583–596, abr. 2002, doi: 10.1016/S0026-2714(02)00027-6.
- [38] S. Kasap y P. Capper, Eds., *Springer Handbook of Electronic and Photonic Materials*, 2a ed. Springer International Publishing, 2017.
- [39] R. M. Barcia Macías, “Desarrollo de un sistema de medición de ruido de baja frecuencia para caracterización de canales conductivos en dispositivos electrónicos.”, Escuela Superior Politécnica de Chimborazo, Riobamba, 2019.
- [40] J. Lutz, H. Schlangenotto, U. Scheuermann, y R. D. Doncker, *Semiconductor Power Devices: Physics, Characteristics, Reliability*. Berlin Heidelberg: Springer-Verlag, 2011.
- [41] J. L. Hernandez y C. Pace, “Embedded mini-Heater design for power loss remote measurement and thermal runaway control on power devices for Accelerated Life Testing”, en *2016 IEEE Ecuador Technical Chapters Meeting (ETCM)*, oct. 2016, pp. 1–6, doi: 10.1109/ETCM.2016.7750864.
- [42] A. Toro, “Implementación de un prototipo de fuente de alimentación de 1200v de baja corriente para pruebas de estrés eléctrico en transistores de potencia”, Escuela Superior Politécnica de Chimborazo, Riobamba, 2020.
- [43] J. W. Evans y J. Y. Evans, Eds., *Product Integrity and Reliability in Design*. London: Springer-Verlag, 2001.