

Análisis comparativo del nivel de defectuosidad en los dispositivos de potencia SiC n-MOSFETs

Comparative Analysis of Malfunction Level on SiC n-MOSFETs Power Devices

Esteban Guevara^{1,Ω}, José Luis Tinajero^{2,Ω}, Mauro Guevara^{3,β}, Mildred Cajas^{4,μ}

^Ω Facultad de Informática y Electrónica, Escuela Superior Politécnica del Chimborazo, Riobamba, Ecuador

^β Facultad de Energía y Minas, Universidad Nacional de Loja, Loja, Ecuador

^μ Departamento de Eléctrica y Electrónica, Universidad de las Fuerzas Armadas, Latacunga, Ecuador

¹esteban.guevara@esepoch.edu.ec, ²joseluis.tinajero@esepoch.edu.ec, ³mauro.guevara@unl.edu.ec,

⁴mlcajas@espe.edu.ec

Resumen- Actualmente, los transistores de efecto de campo fabricados en carburo de silicio son una tecnología emergente que está ingresando al mercado de los dispositivos de potencia, debido a los grandes beneficios que presenta esta familia de semiconductores con relación al silicio. Por su amplia brecha de banda energética, presenta varias peculiaridades de defectuosidad dentro de su estructura que afectan directamente a las características eléctricas de los dispositivos. El objetivo de este artículo es determinar y comparar el grado de defectuosidad al interno de la estructura MOS de los diferentes dispositivos bajo prueba. La técnica utilizada fue la caracterización de histéresis en corriente continua que es una medida de la dinámica de conmutación de las trampas en la interfaz SiC/SiO₂. Para lograr este propósito, experimentalmente se evaluó dos familias de dispositivos SiC MOSFETs de características eléctricas diferentes. Los dispositivos evaluados pertenecen al mismo fabricante. El grado de defectuosidad o trampas estimadas mostrado por cada dispositivo marca una tendencia de acuerdo con sus características eléctricas y su respectiva familia.

Palabras Clave- Silicio de Carburo, MOSFETs, Histéresis

Abstract- Currently, the field-effect transistors (MOSFETs) manufactured in silicon carbide (SiC) are an emerging technology that is entering the market for power devices, due to the enormous benefits of this family of semiconductors regarding silicon (Si). Due to its vast energy bandgap, SiC shows several structural defects affecting the electrical characteristics of the devices directly. This article aims to determine the level of defectiveness inside the MOS structure in different devices under test. The technique used was the hysteresis characterization in continuous current, which is a measurement of the switching dynamics of traps inside the SiC/SiO₂ interface. In order to achieve this purpose, two families of SiC MOSFET devices with different electrical characteristics were experimentally evaluated. The assessed devices belong to the same manufacturer. The level of defectiveness or estimated traps for each device marks a trend according to their capability of electrical characteristics and family.

Keywords- Silicon Carbide, MOSFETs, Hysteresis

I. INTRODUCCIÓN

El semiconductor de Silicio de Carburo ofrece características superiores que el Silicio para la fabricación de dispositivos electrónicos. Debido a su amplio Bandgap, campo eléctrico crítico y conductividad térmica, Los dispositivos MOSFETs fabricados en silicio de carburo pueden trabajar a temperaturas mayores, mayor densidad de potencia, mayores frecuencias y mayor voltaje que los dispositivos de MOSFETs fabricados en silicio. Aunque las técnicas avanzadas de fabricación de dispositivos han llevado a mejoras importantes en los últimos años, [1-9] los dispositivos disponibles en el mercado aún funcionan por debajo de sus límites teóricos. A pesar de todos esos beneficios conocidos, tomó 10 años después del exitoso lanzamiento al mercado de diodos de SiC en 2001 por Infineon.[3] que Rohm y Cree (hoy Wolfspeed) lancen los primeros MOSFET SiC productivos en 2011/2012. Entre 2012 y 2016, otros fabricantes de dispositivos como ST Microelectronics, Microsemi y otros han enriquecido aún más la cartera de tecnologías SiC MOSFET en el mercado. [10-16].

Actualmente aún este tipo de tecnología es productiva pero no madura. Debido que tenemos desafíos de fabricación específicos del SiC como la rugosidad de la oblea, el diámetro, la transparencia y la dureza del material, así como desarrollar nuevos procesos de fabricación de niveles de dopaje, formación de contacto óhmico y un mejor esquema de pasivación de su interfaz.

La mayor parte de los problemas están relacionados con la confiabilidad del óxido, la interfaz SiC/SiO₂ y las trampas asociadas al material, que directamente afectan a una notable reducción de las propiedades eléctricas del dispositivo. La diferencia de los niveles de defectuosidad entre los dispositivos SiC MOSFETs y dispositivos Si MOSFETs es de tres a cuatro órdenes de magnitud más alta para las estructuras SiC MOSFETs o IGBT. la densidad de defectos está relacionada con los defectos del sustrato que posee

contaminantes metálicos y partículas. Por lo expuesto en lo anterior estos problemas amenazan a la fiabilidad y rendimiento de los dispositivos.

Hoy en día es posible reducir la tasa de fallas de los SiC MOSFETs a la misma tasa de fallas que los Si MOSFETs aplicando medidas de detección de fallas inteligentes mediante diversos métodos y técnicas de caracterización que tienen como objetivo determinar la inestabilidad de un dispositivo semiconductor.

En este artículo se encuentra una discusión de los niveles de defectuosidad o trampas presentes en la interfaz SiC/SiO₂ y el sustrato existente en los dispositivos de potencia SiC n-MOSFETs, la presencia de trampas se detecta mediante el método de caracterización lazo de histéresis que presenta el dispositivo a diferentes barridos de tensiones de compuerta. [17]

Esta técnica de caracterización se empleó para evaluar los fenómenos de carga almacenada en dos familias de dispositivos MOSFETs fabricados en silicio de carburo, los cuales presentan diferencias significativas con respecto a los dispositivos MOSFETs fabricados en silicio.

II. METODOLOGÍA

El objetivo del presente artículo es analizar la inestabilidad que presentan los dispositivos de potencia SiC MOSFETs, para lograr este propósito se evaluaron dos familias de dispositivos de la misma empresa, mediante diferentes barridos de voltajes de compuerta y expuestos a una variación de temperatura de 150 °C (valor de la máxima temperatura configurable por el chuck térmico), tomando en cuenta para estas mediciones los parámetros de funcionamiento máximos y mínimos determinados por sus respectivos documentos de especificaciones, cabe señalar que se evaluó diez dispositivos por cada familia, de esta manera obtuvimos una tendencia comportamental significativa de los dispositivos evaluados. En la tabla I se muestran las principales características eléctricas de ambos dispositivos.

Para evaluar los niveles de defectuosidad en la estructura MOS particularmente en la interfaz SiC/SiO₂ y sustrato, se realizaron diferentes barridos de tensión en la compuerta del n-MOSFET, de esta manera se evaluó la curva característica de ingreso $I_{DS} - V_{GS}$, siendo I_{DS} el valor de la corriente de

drenador - fuente y V_{GS} la tensión de la compuerta - fuente, los rangos de los diferentes barridos de tensión aplicados a la compuerta del MOSFET que fueron configurados con 100 pasos, los mismos que se detallan en la Tabla II.

En la figura 1, se ilustra los valores para un barrido de tensión de compuerta de -5 Va 15 V, análogamente se realizó el mismo procedimiento de medición para los barridos de voltaje restantes expuestos anteriormente; una vez aplicada la tensión a la compuerta se midió el valor I_{DS} y ΔV_{ds} (variación del voltaje drenador - fuente), de esta manera se obtienen los datos correspondientes para calcular la defectuosidad presente en la estructura MOS mediante la evaluación del fenómeno de histéresis. Es importante recalcar que las pruebas inician en -5V para reestablecer las condiciones iniciales del dispositivo, de esta manera se libera la carga previamente almacenada en la estructura n-MOS debido a las imperfecciones o trampas del material, logrando que cada medición no sea afectada por la carga almacenada en la parte interna de la estructura [18].

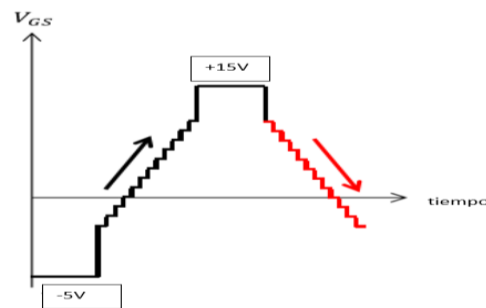


Fig. 2. Ilustración esquemática de las pruebas de medición del Voltaje de histéresis de compuerta

Las mediciones del lazo de Histéris fueron realizadas mediante la aplicación de un barrido de tensión de compuerta del MOSFET para medir los valores de corriente de drenador, con una variación controlada de la tensión de drenador según el esquema de conexión mostrado en la figura 2. Se utilizó el Sistema de Caracterización de Semiconductores Keithley 4200 SCS del Laboratorio de Microelectrónica de la Universidad de la Calabria, mediante la utilización de tarjetas SMU (source unit measure), las cuales se configuran mediante la interfaz gráfica Keithley Interactive Test Environment como se visualiza en la figura 3.

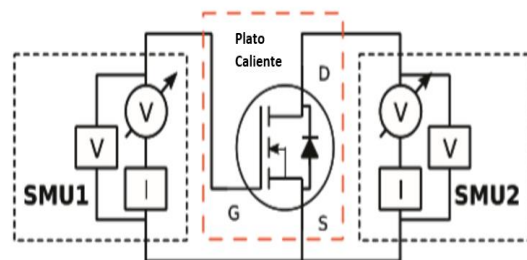


Fig. 1. Conexión física de los módulos SMU al MOSFET y ubicación del dispositivo en el chuck térmico.

Tabla I
PRINCIPALES CARACTERÍSTICAS ELÉCTRICAS DE LOS DISPOSITIVOS EVALUADOS

Dispositivo	V _{dss} [V]	I _{Dsmax.} [A]	R _{DS on} Typ@20 A T=25 °C	V _{th}	C _{iss} [nC]	Temp. Max. °C
Dispositivo A	1200	65	80	3	2,5	200
Dispositivo B	1200	45	52	3,5	3,5	200

Tabla II
PARÁMETROS DE PRUEBAS

Dispositivos	Prueba 1 [V]	Prueba 2 [V]	Prueba 3 [V]
A-B	-5 a 5 @ V _{DS} = 50mv	-5 a 10 @ V _{DS} = 50mv	-5 a 15 @ V _{DS} = 50mv

El sistema de caracterización de semiconductores (4200 SCS) es un sistema automático que genera mediciones I-V DC, I-V pulsantes y C-V, de dispositivos MOSFETs, para analizar sus estructuras. Las diferentes pruebas son configuradas y ejecutadas mediante la interfaz gráfica Keithley Interactive Test Environment (KITE), la aplicación fue desarrollada específicamente para caracterizar dispositivos semiconductores y materiales, en la figura 3 se muestra la configuración del dispositivo MOSFET mediante la aplicación KITE.

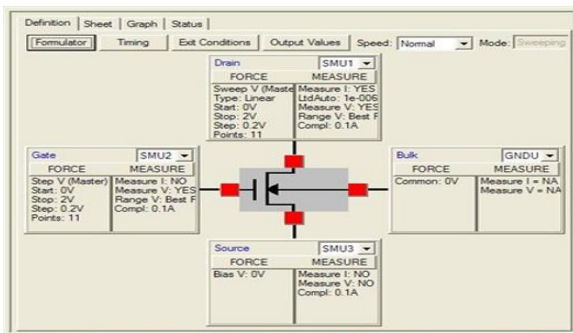


Fig. 3. Configuración de los módulos SMU mediante la aplicación KITE.

La función del módulo SMU es suministrar una fuente de tensión o corriente y medir una tensión o corriente respectivamente, por ejemplo: genera una fuente de voltaje y mide una corriente o genera una fuente de corriente y mide un voltaje, los mismos que son configurados mediante la aplicación KITE.

III. RESULTADOS

Para obtener una evaluación integral y marcar una tendencia significativa, se evaluaron dos familias de dispositivos potencia n-MOSFETs fabricados en carburo de silicio, además se evaluó un grupo de diez dispositivos por cada familia.

En la figura 4, se muestra el barrido de voltaje aplicado al dispositivo por el Sistema de caracterización de semiconductores 4200 SCS, considerando la aplicación de un barrido voltaje de modo dual sweep en el rango de -5V a 15V y viceversa vs el tiempo de aplicación de la tensión de compuerta, análogamente el mismo comportamiento se observó para las distintas mediciones efectuadas en el rango de -5V a 5V y -5V a 10V.

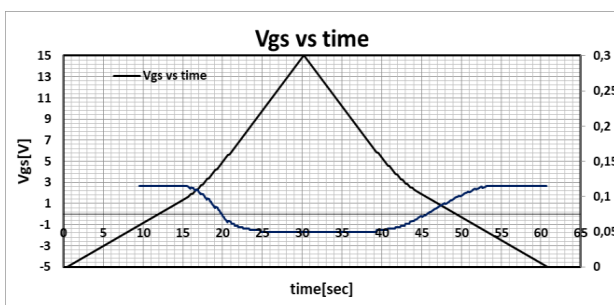


Fig. 4. Configuración del voltaje VGS mediante la aplicación KITE a los módulos SMU.

Los parámetros de pruebas establecidos en la tabla 1, a $V_{DS} = 50$ mV. El voltaje mínimo se fijó en -5V, para restablecer las características del dispositivo retirando la carga almacenada en la estructura. La histéresis se ha caracterizado en condiciones de corriente continua. Las mediciones se realizaron a una temperatura de 150°C.

En las mediciones efectuadas observamos un cambio significativo, del orden de unos pocos cientos de milivoltios, El cambio observado se atribuye a la captura de electrones en la interfaz SiC / SiO₂ o en el SiO₂.

En la figura 5, se puede observar claramente la presencia de un valor de histéresis en cada medición efectuada, debemos subrayar que la amplitud de la histéresis incrementa cuando se incrementan los valores de tensión de compuerta aplicados.

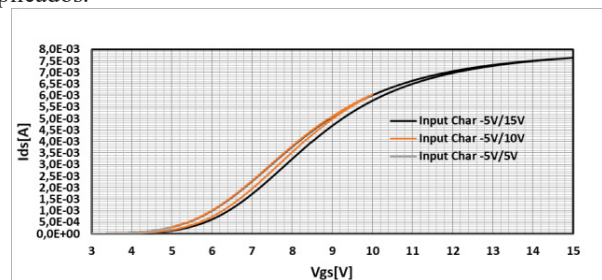


Fig. 5. Comparación entre las curvas características ingreso IDS-VGS (lineal-lineal) (dispositivo A).

En las figuras 6, 8, 9 se muestra un claro fenómeno de histéresis, en todas las muestras la amplitud de desplazamiento de histéresis se incrementa en función del voltaje de compuerta aplicado. Existe una leve variación de muestra a muestra.

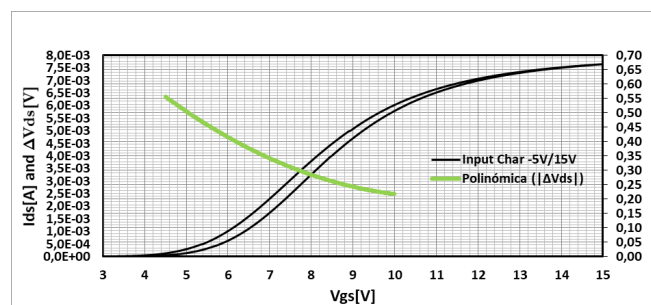


Fig. 6. Curva característica de ingreso IDS-VGS (lineal-lineal) del dispositivo A @ -5V a 15V.

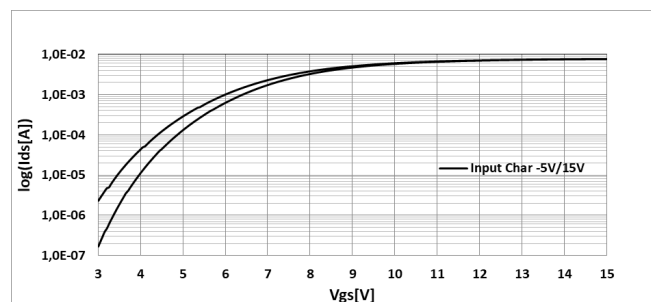


Fig. 7. Curva característica de ingreso IDS-VGS (logarítmica-lineal) del dispositivo A @ -5V a 15V.

En la figura 7 se observa la curva característica de ingreso IDS-VGS en la escala logarítmica – lineal, se puede observar

que la curva presenta ciertas discontinuidades, al momento del incremento de la corriente de drenador, las cuáles evidencian de manera clara que existe carga almacenada en la estructura n-MOS, se muestra un comportamiento similar para la figura 11 que hace referencia al dispositivo b.

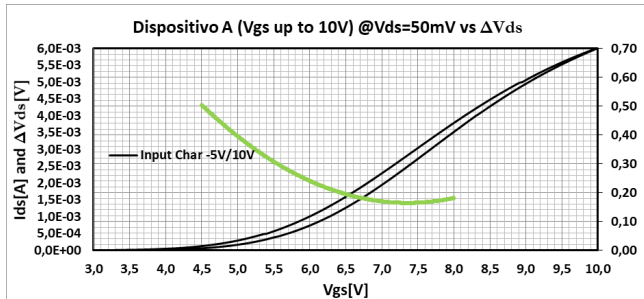


Fig. 8. Curva característica de ingreso IDS-VGS (linear-linear) del dispositivo A @ -5V a 10V.

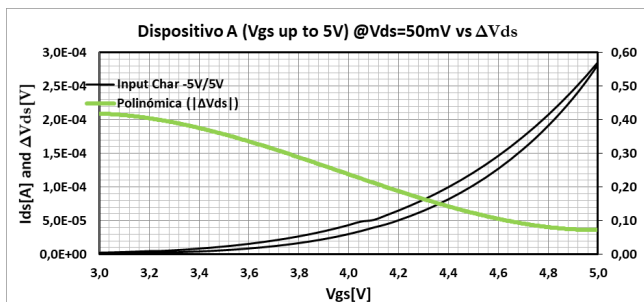


Fig. 9. Curva de ingreso característica IDS-VGS (linear-linear) del dispositivo A @ -5V a 5V.

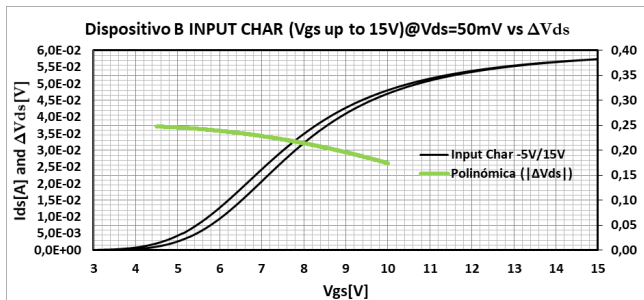


Fig. 10. Curva de ingreso característica IDS-VGS (linear-linear) del dispositivo A @ -5V a 15V.

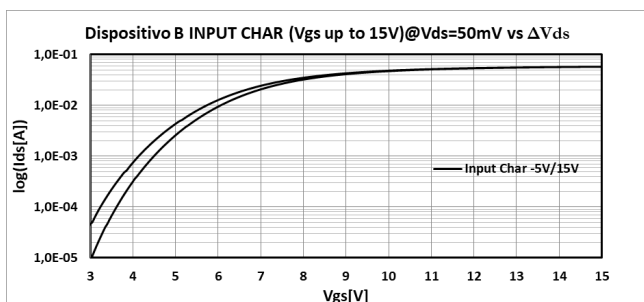


Fig. 11. Curva de ingreso (logarítmica-linear) característica IDS-VGS del dispositivo B @ -5V a 15V.

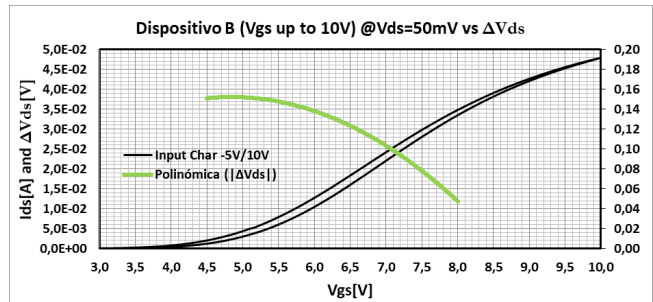


Fig. 12. Curva de ingreso característica IDS-VGS (linear-linear) del dispositivo B @ -5V a 10V.

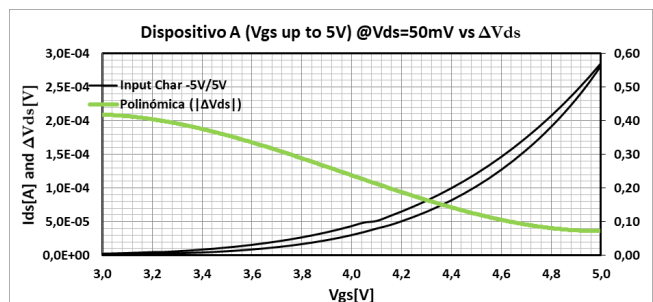


Fig. 13. Curva de ingreso característica IDS-VGS del dispositivo B (linear-linear) @ -5V a 5V.

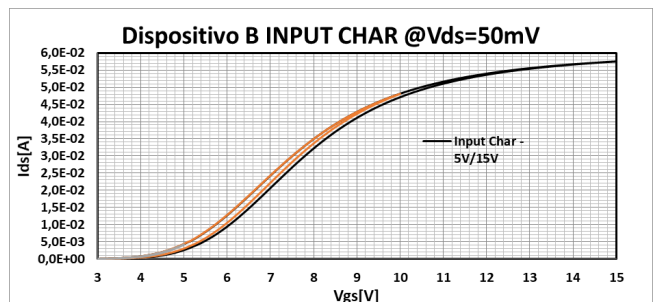


Fig. 14. Comparación entre las curvas características ingreso IDS-VGS (linear-linear) (dispositivo B).

En las figuras 9, 10 y 12, de la evaluación de histéresis del dispositivo B muestra un comportamiento similar que el dispositivo A, de igual manera mantiene una variación leve de dispositivo a dispositivo evaluado.

Para determinar el nivel de defectuosidad dentro de la estructura debemos extrapolar los datos experimentales obtenidos de las evaluaciones de cada dispositivo, el valor de la capacitancia del MOSFET es obtenido de los documentos de especificaciones de los dispositivos. La carga estimada durante la histéresis se evalúa, considerando la variación del voltaje drenador-fuente máximo ΔV_{DS} máx. y el valor de la capacitancia C_{iss} del dispositivo. Los valores carga almacenada en los dispositivos se calculó mediante la Ec.1.

$$Q = C_{iss} \Delta V_{ds} \quad (1)$$

Tabla III
PRINCIPALES RESULTADOS EXPERIMENTALES OBTENIDOS EN FUNCIÓN DE LA HISTÉRESIS APLICADA

Dispositivo	ΔV_{ds} max[mV]	R_{ds} min[Ω]	Ciss[nF]	Carga estimada[nC]	Defectos estimados
Dispositivo A-15V	600	0,57	2,5	1,5	9,38E+09
Dispositivo A-10V	550	8.29	2,5	1.38	8,59E+09
Dispositivo A-5V	500	125	2,5	1,25	7,81E+09

Tabla IV
PRINCIPALES RESULTADOS EXPERIMENTALES OBTENIDOS EN FUNCIÓN DE LA HISTÉRESIS APLICADA

Dispositivo	ΔV_{ds} max[mV]	R_{ds} min[Ω]	Ciss[nF]	Carga estimada[nC]	Defectos estimados
Dispositivo B-15V	300	3.68	3,5	1,05	6,56E+09
Dispositivo B-10V	200	2,37	3,5	0,7	4,38E+09
Dispositivo B-5V	200	0,6	3,5	0,7	2,38E+09

Considerando la carga elemental del electrón, $e = 1,6E-19$ C es posible estimar el nivel de defectuosidad relacionado a cada proceso de evaluación, mediante la Ec. 2.

$$N_{it} = \frac{Q}{e} \quad (2)$$

En la Tabla III y IV se muestran los resultados experimentales obtenidos de los diferentes dispositivos evaluados, se puede observar que el nivel de defectuosidad se incrementa a medida que la tensión V_{GS} alcanza su máximo nivel de amplitud de igual manera es proporcional al incremento de ΔV_{ds} máx. De acuerdo con la Ec. 2, la carga almacenada aumenta debido a un incremento de la amplitud de la tensión del voltaje de compuerta.

IV. CONCLUSIONES

El fenómeno de histéresis que muestran ambas familias de dispositivos está en el orden de los cientos de milivolts de esta manera se demuestra claramente que existen imperfecciones dentro del material, las cuales provocan almacenamiento de carga en la parte interna de la estructura, tomando en cuenta que la amplitud de la histéresis se incrementa en función del voltaje de compuerta aplicado. Los defectos estimados al interno de la estructura MOS son mayores en la familia de los dispositivos A que poseen características eléctricas superiores que la familia B, además la cantidad de defectos estimados en la interfaz SiC/ SiO₂ y sustrato se incrementan en función de la tensión de compuerta aplicado al dispositivo. Finalmente debemos tomar en cuenta que un incremento de la densidad de defectos provoca directamente la degradación de los

parámetros eléctricos de los dispositivos, de tal manera que se reduce la confiabilidad y prestaciones de estos, tomando en cuenta que los campos de aplicación de los SiC MOSFET requieren densidades de alta potencia y tensiones superiores a los 600 V.

AGRADECIMIENTOS

Agradecemos a la Universidad de la Calabria (Italia), Laboratorio de microelectrónica. Este trabajo de investigación fue realizado dentro del marco del proyecto Europeo WinSiCcap4 AP. grant agreement n. 73748.

REFERENCIAS

- [1] D. A. Marckx, "Breakthrough in Power Electronics from SiC," National Renewable Energy Laboratory Report, May. 25, 2005.
- [2] J. Biela, Member, M. Schweizer and S. Waffler, "SiC versus Si—Evaluation of Potentials for Performance Improvement of Inverter and DC–DC Converter Systems by SiC Power Semiconductors," IEEE transactions on industrial electronics, vol. 58, no. 7, Jul. 2011. pp. 2872–2882.
- [3] T. Okunishi et al., "Reliability study on positive bias temperature instability in SiC MOSFETs by fast drain current measurement," Jpn. J. Appl. Phys., vol. 56, no. 4S, 2017, Art. no. 04CR01. [4] G. Chung et al., APL 76, 1713 (2000).
- [5] G. Rescher, G. Pobegen, and T. Grasser, "Threshold voltage instabilities of present SiC-power MOSFETs under positive bias temperature stress," Mater. Sci. Forum, vol. 858, pp. 481–484, May 2016.
- [6] K. Puschkarsky, H. Reisinger, T. Aichinger, W. Gustin, and T. Grasser, "Threshold voltage hysteresis in SiC MOSFETs and its impact on circuit operation," in Proc. IEEE Int. Integr. Rel. Workshop Final Rep., Oct. 2017. [7] L. A. Lipkin et al., MSF, TTP (2002), Vol. 389, p. 985.
- [8] T. Grasser et al., "The time dependent defect spectroscopy (-TDDS) for the characterization of the bias temperature instability," in Proc. IEEE Int. Integr. Rel. Phys. Symp. (IRPS), Anaheim, CA, USA, 2010, pp. 16–25. [9] P. Jamet et al., APL 79, 323 (2001).
- [10] G. Pobegen and T. Grasser, "On the distribution of NBTI time constants on a long, temperature-accelerated time scale," IEEE Trans. Electron Devices, vol. 60, no. 7, pp. 2148–2155, Jul. 2013. [11] H. Yano et al., APL 78, 374 (2001).
- [12] Temperature, Bias, and Operating Life, JEDEC Standard JESD22A108D, 2010.
- [13] G. Rescher, G. Pobegen, T. Aichinger, and T. Grasser, "On the subthreshold drain current sweep hysteresis of 4H-SiC nMOSFETs," in Proc. IEEE Int. Electron Devices Meeting (IEDM), San Francisco, CA, USA, 2016, pp. 10.8.1–10.8.4. [14] T. Okayama et al., SSE 52, 164 (2008).
- [15] D. B. Habersat, R. Green, and A. J. Leles, "Temperature-dependent threshold stability of COTS SiC MOSFETs during gate switching," in Proc. IEEE Int. Rel. Phys. Symp. (IRPS), Monterey, CA, USA, 2017, pp. WB-4.1–WB-4.4.
- [16] G. Rescher et al., "Comprehensive evaluation of bias temperature instabilities of 4H-SiC MOSFETs using device preconditioning," Mater. Sci. Forum, 2017.
- [17] M. Beier-Mobius, J. Lutz, Breakdown of gate oxide of SiC-MOSFETs and Si-IGBTs under high temperature and high voltage; Intelligent Motion, 2017.
- [18] G. Cosentino, E. Guevara, L. Sanchez, F. Crupi, "Threshold Voltage Instability in SiC Power MOSFETs"; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; PCIM Europe 2019.